



UpScaler IP Core

Спецификация

Содержание

1. Термины, определения, сокращения	3
2. Введение	4
2.1 Назначение	4
2.2 Особенности	4
3. Функциональное описание	5
3.1 Блок-схема	5
3.2 Функционирование	5
3.3 Временная диаграмма работы	6
4. Использование	7
4.1 Параметры синтеза	7
4.2 Назначение выводов	8
4.3 Схема применения	9
4.4 Ресурсоемкость и производительность	9
5. Дополнительная информация	11
5.1 Программируемая логика Xilinx	11
5.2 Техническая поддержка	11
5.3 Информация для заказа	11

1. Термины, Определения, Сокращения

Экран (*screen*) – рабочая поверхность устройства отображения. Представлена набором пикселей. Характеризуется разрешением по вертикали (количество пикселей в строке) и горизонтали (количество строк).

Пиксель (*pixel*) – точка изображения в ОЗУ или на экране устройства отображения. Характеризуется координатами на экране и цветом.

Изображение (*picture*) – массив данных в ОЗУ, представляющий последовательность цветовых характеристик пикселей с добавлением характеристики «прозрачность» (альфа канал). Характеризуется затратами памяти на один пиксель (в байтах), длиной строки (в пикселях или байтах), количеством строк.

Окно (*window*) – прямоугольная область на экране устройства отображения, на которую осуществляется вывод изображения. Характеризуется расположением верхнего левого угла на экране и размерами (в пикселях) по горизонтали и вертикали.

Полоса (*stripe*) – совокупность двух (или более) линий изображения.

2. Введение

2.1 Назначение

Minerva UpScaler IP Core выполняет масштабирование вверх (увеличения) изображения в процессе вывода на устройство отображения. Коэффициенты масштабирования произвольные.

Система предназначена для использования в тракте вывода видеинформации на устройство отображения.

2.2 Особенности

- Качество изображения по метрике PSNR при масштабировании более чем в 2 раза на 68 дБ выше билинейной и на 0,51 дБ – бикубической интерполяции;
- Поддерживает трехкомпонентные цветовые пространства (RGB, YUV) с произвольной разрядностью цветовых компонент (разрядность задается параметрами синтеза);
- Предельное выходное разрешение по горизонтали и вертикали не ограничено;
- Максимально входное разрешение по горизонтали определяется объемом внутреннего буфера и задается через параметры синтеза;
- Предельное входное разрешение по вертикали ограничено ресурсами кристалла;
- Произвольные, динамически изменяемые, независимые коэффициенты масштабирования по горизонтали и вертикали, разрядность коэффициентов задается параметрами синтеза;
- При указании коэффициентов масштабирования не требуется загрузка таблиц параметров.

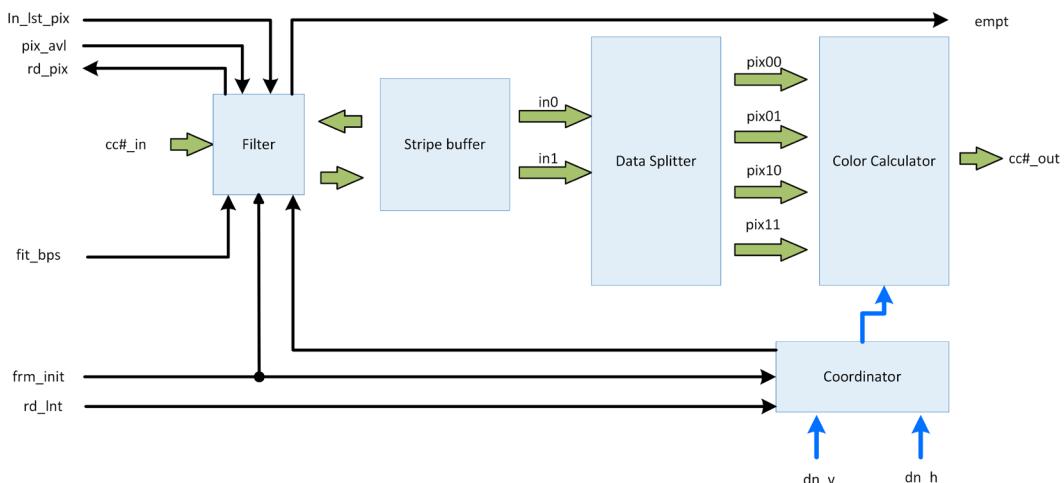
3. Функциональное описание

3.1 Блок схема

Упрощенная блок схема UpScaler IP Core представлена на рисунке 1. UpScaler IP Core включает в себя следующие функциональные блоки:

- Корректирующий фильтр (**Filter**);
 - Буфер полосы (**Stripe Buffer**);
 - Расщепитель пиксельных данных (**Data Splitter**);
 - Вычислитель цвета синтезируемого пикселя (**Color Calculator**);
 - Генератор координат синтезируемого пикселя (**Coordinator**).

Рис. 1. Блок схема UpScaler IP Core



Буфер полосы (**Stripe Buffer**) вмещает две строки исходного изображения. Предельная длина строки исходного изображения ограничена объемом буфера, который задается через параметр синтеза.

Вычислитель цвета синтезируемого пикселя (**Color Calculator**) состоит из трех независимых идентичных блоков, по одному на каждую составляющую цвета пикселя.

Коэффициенты масштабирования по горизонтали и вертикали задаются через относительные расстояния между пикселями результирующего изображения (`rlv_dsc_h`, `rlv_dsc_v` соответственно). Относительные расстояния представлены в виде чисел с фиксированной точкой не содержащих целочисленных разрядов и определяются по формуле:

$$rlv_dsc = (\text{in_size}-1)/(\text{out_size}-1)$$

где: in_size – размер строки (столбца) входного изображения в пикселях, out_size – размер строки (столбца) выходного изображения в пикселях. Из формулы видно, что относительное расстояние является величиной близкой в $1/K$, где K – коэффициент масштабирования.

3.2 Функционирование

Инициализация ядра происходит в начале кадра по сигналу `frm_init`, который соответствует импульсу вертикальной синхронизации.

Буфер полосы (**Stripe Buffer**) заполняется только при активном уровне сигнала доступности данных на входе системы **pix_avl**. Запись строки пикселов

в буфер полосы регламентируется сигналом `rd_pix`. Задержка записи – один такт. Одновременно с последним пикселием строки должен быть выставлен сигнал завершения строки `ln_lst_pix`.

Синтез строки выполняется при активном сигнале `rd_int`. Задержка между сигналом чтения строки и данными на выходе устройства составляет 4 такта. Процесс интерполяции выполняется построчно. При интерполяции строки изображения используются данные пикселов предыдущей строки. Первая строка интерполируется без данных верхней строки. Для вычисления цвета синтезируемого пикселя используются четыре опорных пикселя прошедших через фильтр – два из текущей строки, два из предыдущей. Разделение строк на пиксели происходит в **Data Splitter**.

Цвет синтезируемого пикселя вычисляется в блоке **Color Calculator**, в соответствии с его координатами относительно четырех опорных пикселей.

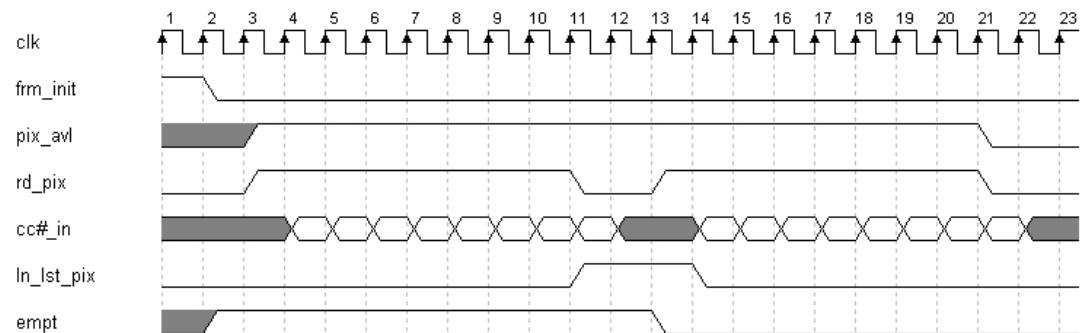
Определение координат синтезируемого пикселя относительно четырех опорных, а также выборку опорных пикселей осуществляет **Coordinator**. При определении координат используются относительные расстояния между пикселями результирующего изображения (`rlv_dsc_h`, `rlv_dsc_v`). Значения `rlv_dsc_h`, `rlv_dsc_v` должны быть действительны в течении интерполяции линии и иметь постоянные значения для всех линий кадра.

Сигнал `flt_bps` переводит систему в режим линейного интерполятора.

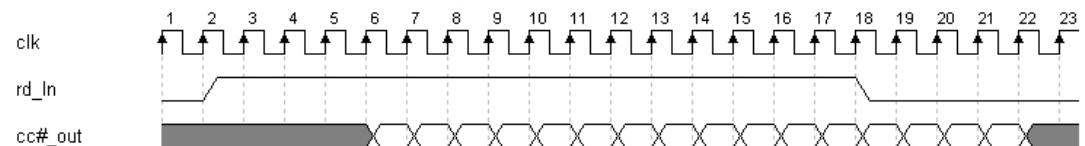
Сигнал `empt` сообщает об отсутствии данных в буфере полосы.

3.3 Временная диаграмма работы

На рис. 2 показана временная диаграмма загрузки первых двух строк изображения (ширина изображения – 8 пикселей) в буфер полосы (Stripe Buffer).



На рис. 3 показана временная диаграмма выгрузки первой синтезированной строки длиной 16 пикселей.



4. Использование

4.1 Параметры синтеза

Таблица 1. Параметры синтеза

Параметр	Допустимые значения	Описание
SYNT_A_RST	true/false	Разрешить синтез сигнала асинхронного сброса. ¹
CC1_WIDTH	> 0	Количество разрядов в первой цветовой компоненте. ⁶
CC2_WIDTH	> 0	Количество разрядов во второй цветовой компоненте. ⁶
CC3_WIDTH	> 0	Количество разрядов в третьей цветовой компоненте. ⁶
CC_WIDTH_F	>= 0	Количество разрядов дробной части чисел внутреннего представления данных. ^{2,6}
COEF_WIDTH	> 0	Количество разрядов коэффициентов масштабирования ^{3,6}
LN_WIDTH	> 0	Количество разрядов, требуемое для указания адреса пикселя внутри строки. ^{4,5}

Примечания

1. XST не способен упаковать логику вычислителя цвета синтезируемого пикселя в блоки аппаратного умножения-аккумулирования (MAC) при присвоении сигналу асинхронного сброса постоянного низкого уровня.
2. Точность вычислений не оказывает заметного влияния на качество масштабирования, поэтому этот параметр можно установить в 0.
3. Рекомендуемое значение не менее 10.
4. Количество пикселей в одной строке буфера полосы $2^{\text{LN_WIDTH}}$, количество пикселей в буфере полосы $2^{\text{LN_WIDTH}} \times 2^{\text{LN_WIDTH}}$, объем буфера полосы $2^{\text{LN_WIDTH}} \times (\text{CC1_WIDTH} + \text{CC2_WIDTH} + \text{CC3_WIDTH})$ бит.
5. Для рационального использованием ресурсов блочной памяти при синтезе буфера полосы, следует уделить особое внимание разрядности пикселя и длине линии.
6. Для рационального использования ресурсов аппаратных умножителей-аккумуляторов (18x18 разрядов) следует выполнить условия: $\text{COEF_WIDTH} \leq 17$; $\text{CC}_\#_{\text{WIDTH}} + \text{CC_WIDTH_F} \leq 14$.

4.2 Назначение выводов

Символьное изображение UpScaler IP Core приведено на рисунке 4.

Рис. 4. Символьное представление сигналов UpScaler IP Core

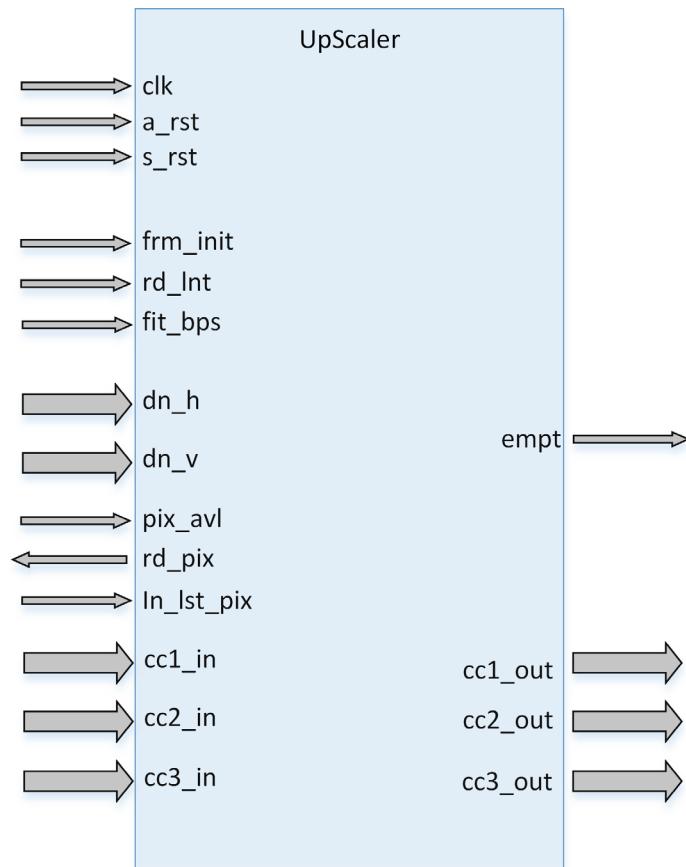


Таблица 2. Сигналы ввода/вывода

Сигнал	Направление сигнала	Описание
Синхронизация и сброс		
a_rst	Вход (Input)	Сигнал асинхронного сброса ¹
clk	Вход (Input)	Тактовый сигнал
s_rst	Вход (Input)	Сигнал синхронного сброса ¹
Управление		
frm_init	Вход (Input)	Флаг начала кадра
rd_ln	Вход (Input)	Чтение линии (Запись в буфер (Stripe Buffer))
flt_bps	Вход (Input)	Отключение корректирующего фильтра. Система работает в режиме обычного интерполятора
dn_h[COEF_WIDTH-1:0]	Вход (Input)	Коэффициент масштабирования по горизонтали
dn_v[COEF_WIDTH-1:0]	Вход (Input)	Коэффициент масштабирования по вертикали
Входной порт		
pix_avl	Вход (Input)	Входные данные доступны
rd_pix	Выход (Output)	Чтение
ln_lst_pix	Вход (Input)	Последний пиксель в линии
cc1_in[CC1_WIDTH-1:0]	Вход (Input)	Данные первой цветовой компоненты
cc2_in[CC2_WIDTH-1:0]	Вход (Input)	Данные второй цветовой компоненты
cc3_in[CC3_WIDTH-1:0]	Вход (Input)	Данные третьей цветовой компоненты
Выходной порт		
empt	Выход (Output)	Буфер пуст
cc1_out[CC1_WIDTH-1:0]	Выход (Output)	Данные первой цветовой компоненты
cc2_out[CC2_WIDTH-1:0]	Выход (Output)	Данные второй цветовой компоненты
cc3_out[CC3_WIDTH-1:0]	Выход (Output)	Данные третьей цветовой компоненты

Примечания

1. Синтез совместно синхронного и асинхронного сброса ведет к дополнительным затратам ресурсов кристалла. Предпочтение следует отдать синхронному сбросу – это позволит сэкономить ресурсы и увеличить стабильность работы.

4.3 Схема применения

Схема применения UpScaler IP Core (пример) приведена на рисунке 5. Для функционирования ядра необходима реализация внешних функциональных блоков: генератора сигналов развертки (Screen Timing Generator), регистров для хранения параметров масштабирования (System Registers), а также средств доставки пиксельных данных (Pixel Fetch System) из кадрового буфера. Так как задержка между сигналом чтения строки и данными на выходе устройства составляет 4 такта, то необходима соответствующая линия задержки (4 Clock Delay Line) для сигналов вертикальной синхронизации и активного видео. Вывод – непосредственно на физический уровень видеопорта.

Использование сигналов сброса не является необходимым при использовании системы в тракте вывода изображения на устройство отображения, т. к. выход из состояния неопределенности произойдет через один кадр после включения.

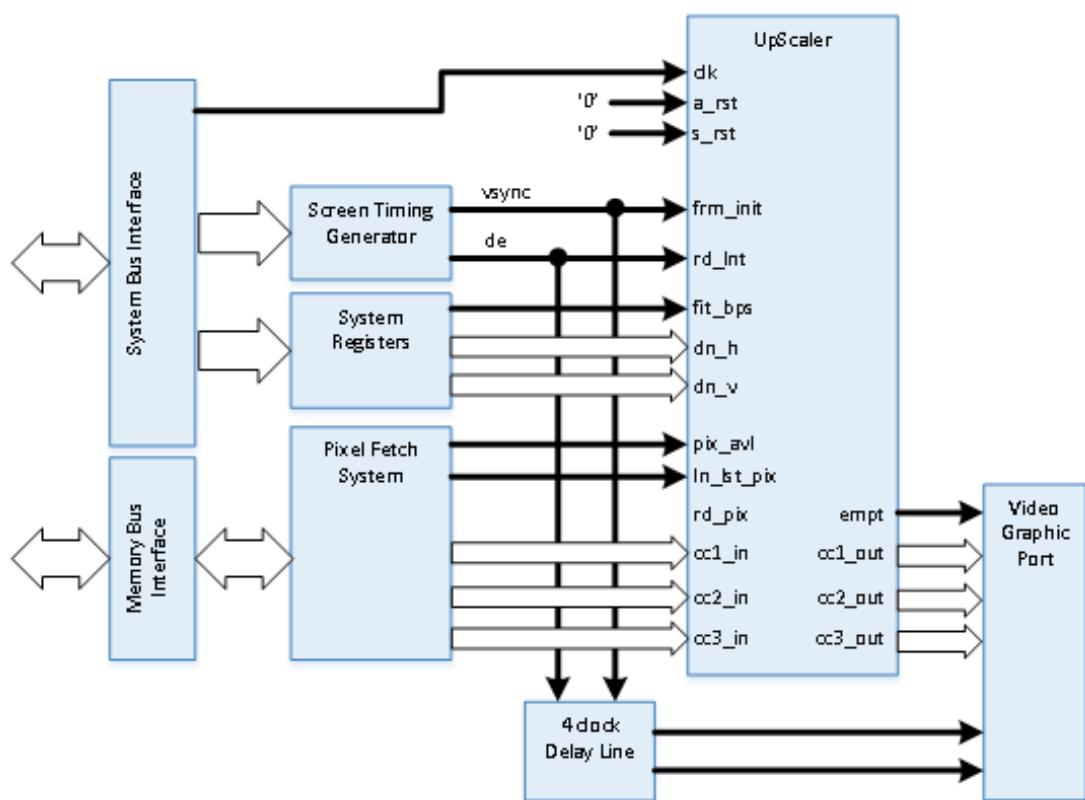


Рис. 5. Схема применения

4.4 Ресурсоемкость и производительность

Затраты ресурсов и предельные рабочие частоты при синтезе с XST приведены в таблице 3. Сигналы асинхронного сброса не используются. Параметры синтеза (см. Таблицу 1):

```

SYNT_A_RST = false;
CC1_WIDTH = 8;
CC2_WIDTH = 8;
CC3_WIDTH = 8;
CC_WIDTH_F = 0;
COEF_WIDTH = 10;
LN_WIDTH = 11 (2048 пикселей).

```

Таблица 3. Ресурсоемкость и производительность

Семейство	Кристалл	Тактовая частота, MHz	Flip Flops/ LUTs	Slice Registe	RAMB16	MULT18X18, DSP48, DSP48E	Occupied Slices LUT/ LUT Flip Flop pairs
Virtex-4TM	XC4VLX25-10FF668	158	184 540		8	10	294
Virtex-5TM	XC5VLX30-1FF676	162		184	4	10	535 91
Kintex-7TM	XC7K70T-1FBG676	162		184	4	10	535 91

5. Дополнительная информация

5.1 Программируемая Логика Xilinx

За информацией о программируемой логике компании Xilinx или программных продуктах для проектирования обращайтесь в местный офис продаж Xilinx, или:

Xilinx, Inc.

2100 Logic Drive

San Jose, CA 95124

Тел: +1 408-559-77-78

Факс: +1 408-559-71-14

URL: www.xilinx.com

5.2 Техническая Поддержка

По вопросам технической поддержки обращайтесь в Отдел Технической Поддержки Минерва: tsup@minerva-tech.com

5.3 Информация для заказа

По вопросам цены, условиям приобретения и другой дополнительной информации пожалуйста обращайтесь в офис продаж компании Минерва: sales@minerva-tech.com