

## Оглавление

---

Термины, Определения, Сокращения.....	2
Введение .....	2
Назначение.....	2
Особенности.....	2
<b>1    Функциональное описание.....</b>	<b>2</b>
1.1    Блок схема .....	2
1.2    Функционирование .....	3
<b>2    Инсталляция .....</b>	<b>4</b>
2.1    Параметры синтеза .....	4
2.2    Назначение выводов.....	4
2.3    Схема применения .....	8
2.4    Параметры GT .....	9
2.5    Реализация (Implementation) .....	11
2.6    Ресурсоёмкость и производительность.....	12
<b>3    Дополнительная информация .....</b>	<b>12</b>
3.1    Рекомендуемый Опыт Разработок .....	12
3.2    Программируемая Логика Xilinx .....	12
3.3    Техническая Поддержка.....	13
3.4    Информация для Заказа .....	13

## Термины, Определения, Сокращения

---

**GT** (Xilinx FPGA RocketIO Gigabit Transceiver) — класс примитивов ПЛИС Xilinx (GTP, GTX, GTN, GTZ), предназначенных для реализации высокоскоростных интерфейсов передачи данных.

**PCS** (Physical Coding Sublayer) — подуровень кодирования физического уровня. Содержит блок выделения "запятой" и побайтного выравнивания данных, кодер и декодер 8бит/10бит, эластичный буфер и т.п.

**OOB** (Out-of-Band) — группа сигналов интерфейса SATA, реализованная в виде пачек однотипных примитивов и бездействия между ними, предназначенная для установления соединения с устройством.

**FIS** (Frame Information Structure) — пакет данных интерфейса SATA,

## Введение

---

### Назначение

SATA Controller IP Core является реализацией транспортного уровня и уровня соединений интерфейса SATA. Обеспечивает взаимодействие систем, реализованных в ПЛИС Xilinx (Virtex-5, Virtex-6, Spartan-6 and 7 Series) с устройствами по интерфейсу SATA II.

### Особенности

- Физический уровень реализуется примитивом Xilinx FPGA RocketIO Gigabit Transceiver.
- Поддерживаются SATA I и SATA II

## 1 Функциональное описание

---

### 1.1 Блок схема

Упрощённая блок схема SATA Controller IP Core представлена на рисунке 1. SATA Controller IP Core включает в себя следующие элементы:

- Блок транспортного уровня (**Transport Layer**);
- Блок межуровневого интерфейса (**Link Layer interface**);
- Блок кодирования данных и вычисления циклической контрольной суммы (**Scrambler and CRC**);
- Конечный автомат уровня соединения (**Link Layer FSM**);
- Блок установки соединения (**Link-up controller**).

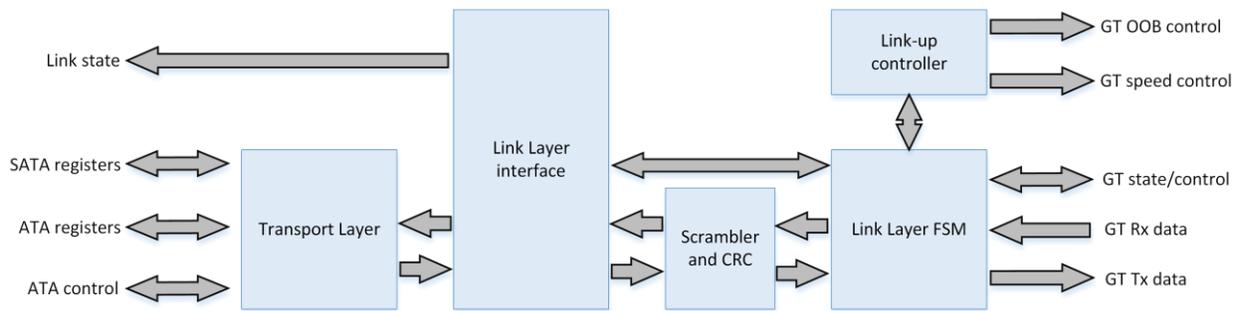


Рисунок 1: Упрощенная схема SATA Controller IP Core

В SATA Controller организованы два тактовых домена: системный тактовый домен, и тактовый домен уровня соединений. Системный тактовый домен содержит транспортный уровень работает с тактовым сигналом шины процессора. Тактовый домен уровня соединения работает с тактовым сигналом сформированным в PLL GT, частота которого зависит от текущей скорости передачи данных.

Буферы принимаемых и передаваемых данных способны вместить FIS максимального размера и имеют объём по 2049 32-разрядных слов (2048 слов данных и заголовок для Data FIS).

## 1.2 Функционирование

Для настройки GT на требуемую скорость передачи данных используется внешний, по отношению к SATA Controller, контроллер порта динамической реконфигурации (DRP). Такая реализация позволяет настраивать и использовать второй GT из пары для других целей.

После системного сброса, блок установки соединения (Link-up controller) устанавливает соединение с устройством на скорости передачи данных 3Гб/с. Если устройство обнаружено но установить соединение не удалось, то попытка повторяется на скорости 1,5Гб/с.

Если установить соединение на скорости 1,5Гб/с не удалось — то устанавливается флаг (*unsup\_spd*) указывающий что устройство работает с неподдерживаемой скоростью передачи данных. Попытки установить соединение на разных скоростях будут повторяться непрерывно.

При успешно установленном соединении устанавливается флаг *link\_up*. Если ранее был установлен флаг *unsup\_spd* то он сбрасывается. Если соединение будет нарушено — то флаг *link\_up* будет сброшен.

После установки соединения в работу включается конечный автомат уровня соединения (Link Layer FSM), в задачи которого входит:

- «договариваться» с противоположным уровнем соединения о передаче/приёме FIS;
- добавлять/убирать окружение FIS — примитивы SOF, EOF;
- контролировать процесс передачи/приёма FIS;
- добавлять в передаваемый поток пару примитивов ALIGN через каждые 254 переданных 32 разрядных слова.

Блок кодирования данных и вычисления циклической контрольной суммы (Scrambler and CRC) кодирует/декодирует данные и вычисляет для них CRC. При передаче добавляет CRC в поток данных. При приёме сравнивает принятую CRC с вычисленной и удаляется её из потока.

Блок межуровневого интерфейса (Link Layer Interface), содержит буферы для передаваемых и принимаемых данных, сигналы управления и состояния канального уровня, средства синхронизации тактовых доменов.

Транспортный уровень (Transport Layer) содержит регистры и сигналы управления ATA, а так же два регистра из набора SATA. Логика работы транспортного уровня соответствует стандарту ATA, за исключением того что регистр данных имеет разрядность 32 бита вместо 16 и сигнал запроса DMA разделён на две части — запрос DMA для передачи данных и запрос DMA для приёма данных.

## 2 Инсталляция

### 2.1 Параметры синтеза

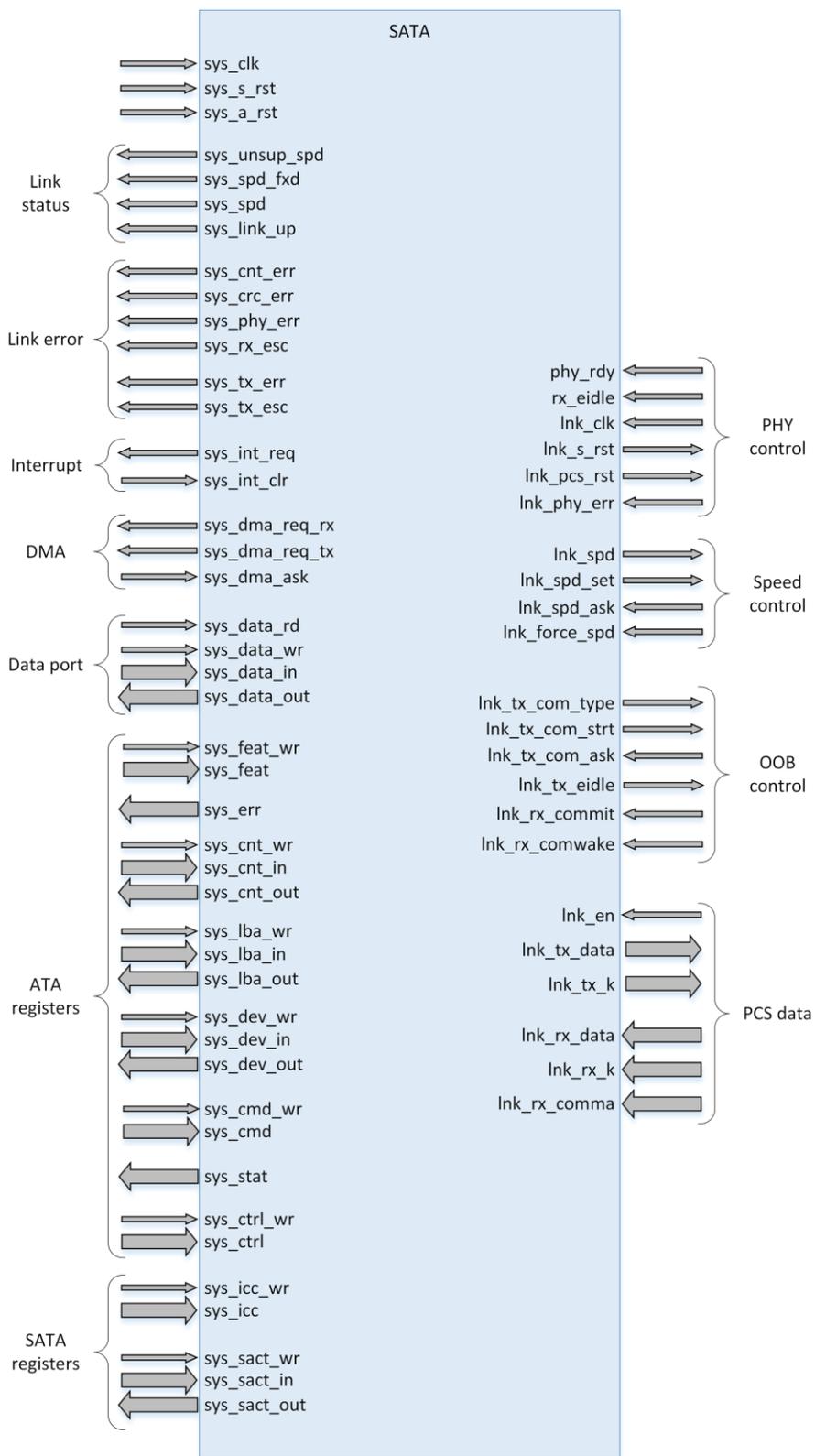
Параметры синтеза SATA TL Controller приведены в Таблица 1

Параметр	Допустимые значения	Описание
SYNT_A_RST	true/false	<sup>1)</sup> Разрешить синтез сигнала асинхронного сброса.
<b>Замечания:</b>		
1. Синтез совместно синхронного и асинхронного сброса ведёт к дополнительным затратам ресурсов кристалла. Предпочтение следует отдать синхронному сбросу как менее ресурсоёмкому.		

Таблица 1: Параметры синтеза IP Core

### 2.2 Назначение выводов

Символьное изображение SATA Controller IP Core приведено на Рисунок 2. Сигналы SATA Controller разделены на группы в соответствии с принадлежностью к тактовым доменам. Сигналы системного тактового домена имеют префикс **sys\_**, тактового домена уровня соединения — **lnk\_**. Все сигналы, кроме системного асинхронного сброса **sys\_a\_rst**, и сигналов **phy\_rdy** и **rx\_eidle**, синхронны в пределах соответствующего тактового домена. Синтез совместно синхронного и асинхронного сброса ведёт к дополнительным затратам ресурсов кристалла. Предпочтение следует отдать синхронному сбросу как менее ресурсоёмкому.



**Рисунок 2: Интерфейсы SATA Controller IP Core**

Описание сигналов ввода/вывода SATA Controller представлены в Таблица 2.

Сигнал	Направление сигнала	Описание
<b>Сигналы системного тактового домена, синхронизация и сброс</b>		
sys_a_rst	Вход (Input)	Сигнал асинхронного сброса системного тактового домена. Активный уровень — высокий.
sys_clk	Вход (Input)	Тактовый сигнал системного домена. Тактирование происходит по переднему фронту.
sys_s_rst	Вход (Input)	Сигнал синхронного сброса системного тактового домена. Активный уровень — высокий.
<b>Сигналы системного тактового домена, состояние соединения</b>		
sys_unsup_spd	Выход (Output)	Подключено устройство с неподдерживаемой скоростью передачи данных.
sys_spd_fxd	Выход (Output)	Скорость передачи данных установлена.
sys_spd	Выход (Output)	Скорость передачи данных: '1' — 3 Гб/с; '0' — 1,5 Гб/с.
sys_link_up	Выход (Output)	Соединение установлено.
<b>Сигналы системного тактового домена, ошибки уровня соединения</b>		
sys_tx_err	Выход (Output)	Передача данных завершена с ошибкой (соседний уровень соединения передал примитив R_ERR).
sys_tx_esc	Выход (Output)	Устройство запросило принудительное завершение транзакции (соседний уровень соединения передал примитив SYNC в процессе передачи FIS).
sys_cnt_err	Выход (Output)	Длина принятой FIS не соответствует её типу.
sys_crc_err	Выход (Output)	Контрольная сумма принятой FIS не соответствует вычисленной.
sys_phy_err	Выход (Output)	Ошибка физического уровня.
sys_rx_esc	Выход (Output)	Устройство запросило принудительное завершение транзакции (соседний уровень соединения передал примитив SYNC в процессе приёма FIS).
<b>Сигналы системного тактового домена, прерывание и DMA</b>		
sys_int_req	Выход (Output)	Запрос прерывания
sys_int_clr	Вход (Input)	Сброс запроса прерывания
sys_dma_req_rx	Выход (Output)	Запрос прямого доступа к памяти в режиме записи
sys_dma_req_tx	Выход (Output)	Запрос прямого доступа к памяти в режиме чтения
sys_dma_ack	Вход (Input)	Подтверждение прямого доступа к памяти
<b>Сигналы системного тактового домена, порт данных</b>		
sys_data_rd	Вход (Input)	Чтение
sys_data_wr	Вход (Input)	Запись
sys_data_in[31:0]	Вход (Input)	Передаваемые данные
sys_data_out[31:0]	Выход (Output)	Принятые данные
<b>Сигналы системного тактового домена, регистры ATA</b>		
sys_feat_wr[1:0]	Вход (Input)	Запись регистра Features
sys_feat[15:0]	Вход (Input)	Вход регистра Features
sys_err[7:0]	Выход (Output)	Выход регистра Error
sys_cnt_wr[1:0]	Вход (Input)	Запись регистра Count
sys_cnt_in[15:0]	Вход (Input)	Вход регистра Count
sys_cnt_out[15:0]	Выход (Output)	Выход регистра Count

sys_lba_wr[5:0]	Вход (Input)	Запись регистра LBA
sys_lba_in[47:0]	Вход (Input)	Вход регистра LBA
sys_lba_out[47:0]	Выход (Output)	Выход регистра LBA
sys_dev_wr	Вход (Input)	Запись регистра Device
sys_dev_in[7:0]	Вход (Input)	Вход регистра Device
sys_dev_out[7:0]	Выход (Output)	Выход регистра Device
sys_cmd_wr	Вход (Input)	Запись регистра Command
sys_cmd[7:0]	Вход (Input)	Вход регистра Command
sys_stat[7:0]	Выход (Output)	Выход регистра Status
sys_ctrl_wr	Вход (Input)	Запись регистра Device Control
sys_ctrl[7:0]	Вход (Input)	Вход регистра Device Control
<b>Сигналы системного тактового домена, регистры SATA</b>		
sys_icc_wr	Вход (Input)	Запись регистра ICC
sys_icc[7:0]	Вход (Input)	Вход регистра ICC
sys_sact_wr	Вход (Input)	Запись регистра SActive
sys_sact_in[31:0]	Вход (Input)	Вход регистра SActive
sys_sact_out[31:0]	Выход (Output)	Выход регистра SActive
<b>Сигналы тактового домена канального уровня, контроль физического уровня</b>		
lnk_clk	Вход (Input)	Тактовый сигнал домена канального уровня. Тактирование происходит по переднему фронту.
lnk_s_rst	Выход (Output)	Сигнал синхронного сброса домена канального уровня. Выход!
lnk_pcs_rst	Выход (Output)	Сброс PCS.
lnk_phy_err	Вход (Input)	Ошибка физического уровня.
<b>Сигналы тактового домена канального уровня, управление скоростью передачи данных</b>		
lnk_force_spd[1:0]	Вход (Input)	<sup>1)</sup> Установка скорости передачи данных: "00" — автоматическое определение; "01" — 1,5 Гб/с; "10" — 3 Гб/с; "11" — зарезервировано.
lnk_spd	Выход (Output)	Скорость передачи данных: '1' — 3 Гб/с; '0' — 1,5 Гб/с.
lnk_spd_set	Выход (Output)	Установить скорость передачи данных.
lnk_spd_ack	Вход (Input)	Установка скорости передачи данных завершена.
<b>Сигналы тактового домена уровня соединения, ООВ</b>		
lnk_tx_com_type	Выход (Output)	Тип передаваемой COM последовательности: '0' — COMRESET; '1' — COMWAKE.
lnk_tx_com_strt	Выход (Output)	Начать передачу COM последовательности.
lnk_tx_com_ack	Вход (Input)	Передача COM последовательности завершена.
lnk_tx_eidle	Выход (Output)	Установить состояние выходной дифференциальной пары в "electrical idle" (активен в процессе передачи COM последовательностей).
lnk_rx_cominit	Вход (Input)	Принята COM последовательность COMINIT.
lnk_rx_comwake	Вход (Input)	Принята COM последовательность COMWAKE.
<b>Сигналы тактового домена уровня соединения, данные</b>		
lnk_en	Выход (Output)	<sup>2)</sup> Разрешение работы конечного автомата уровня соединения.
lnk_tx_data[31:0]	Выход (Output)	Передаваемые данные.
lnk_tx_k	Выход (Output)	Младший байт передаваемых данных символ типа K.

Ink_rx_data[31:0]	Вход (Input)	Принимаемые данные.
Ink_rx_k[1:0]	Вход (Input)	Младший байт принимаемых данных символ типа К.
Ink_rx_comma[1:0]	Вход (Input)	Младший байт принимаемых данных "запятая".
<b>Замечания:</b>		
<ol style="list-style-type: none"> <li>1. После изменение требуется перезапустить процесс согласования скорости передачи данных (сбросить SATA контроллер или послать команду сброса на устройство);</li> <li>2. Должен принимать значение '1' когда физический уровень выровнял данные по 32 битным словам.</li> </ol>		

Таблица 2: Сигналы ввода/вывода SATA Controller IP Core

### 2.3 Схема применения

На Рисунок 3 приведён пример применения SATA Controller IP Core с GTP семейства Virtex-5.

Обработка данных в PCS GTP происходит побайтно на тактовой частоте 300 МГц при скорости передачи данных 3 Гб/с, и 150 МГц при скорости передачи — 1,5 Гб/с. GTP настроен на работу с 16-разрядными данными (на тактовой частоте 150МГц и 75 МГц соответственно).

В качестве внутреннего тактового сигнала GTP (входы TXUCLK0, RXUCLK0) используется сигнал синтезированный в PLL GTP из опорного тактового сигнала ref\_clk. В качестве тактового сигнала домена канального уровня используется сигнал синтезированный в PLL GTP, частота которого поделена на 2 с помощью примитива BUFR.

Для согласования 16-разрядного GTP с 32-разрядным SATA Controller необходим внешний блок, на схеме представлен как Gear 16:32.

Сигнал свидетельствующий о том что GTP выровнял данные по словам появляется раньше чем действительные данные, поэтому необходима линия задержки на  $6 + \text{CLK\_COR\_MIN\_LAT}$  тактов, где CLK\_COR\_MIN\_LAT — параметр GTP указывающий минимальную латентность эластичного буфера.

Для задания скорости передачи используется контроллер порта динамической реконфигурации GTP, на схеме представлен как GTP DRP Controller.

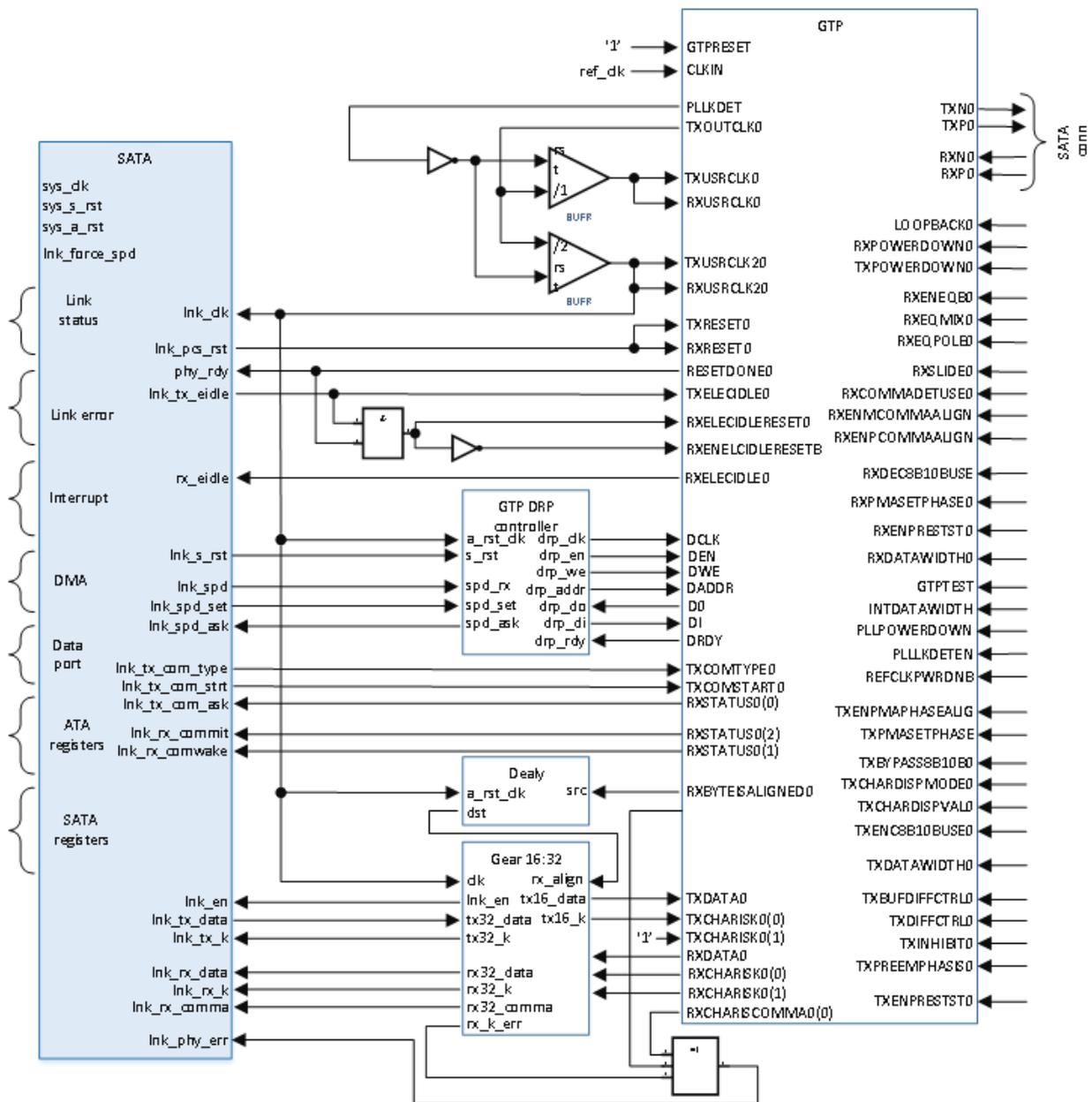


Рисунок 3: Схема применения SATA Controller IP Core

## 2.4 Параметры GT

Некоторые параметры GT связаны с частотой опорного тактового сигнала и аппаратной реализацией интерфейса. Ниже приведён пример конфигурации (generic) GTP для платы ML506 с опорной частотой 150 МГц.

```
generic map
(
----- Simulation-Only Attributes -----
SIM_RECEIVER_DETECT_PASS0 => TRUE,
SIM_RECEIVER_DETECT_PASS1 => TRUE,
```

```

SIM_MODE => "FAST", - Set to Fast Functional Simulation Model
SIM_GTPRESET_SPEEDUP => 0, - Set to 1 to speed up sim reset
SIM_PLL_PERDIV2 => x"14d", - Set to the VCO Unit Interval time
----- Shared Attributes -----
----- Tile and PLL Attributes -----
CLK25_DIVIDER => 6,
CLKINDC_B => TRUE,
OOB_CLK_DIVIDER => 6,
OVERSAMPLE_MODE => FALSE,
PLL_DIVSEL_FB => 2,
PLL_DIVSEL_REF => 1,
PLL_TXDIVSEL_COMM_OUT => 1,
TX_SYNC_FILTERB => 1,
PCS_COM_CFG => x"1680a0e",
----- Transmit Interface Attributes -----
----- TX Buffering and Phase Alignment -----
TX_BUFFER_USE_0 => TRUE,
TX_XCLK_SEL_0 => "TXOUT",
TXRX_INVERT_0 => "0000",
----- TX Serial Line Rate settings -----
PLL_TXDIVSEL_OUT_0 => 1,
----- TX Driver and OOB signaling -----
TX_DIFF_BOOST_0 => TRUE,
----- TX Pipe Control for PCI Express/SATA -----
COM_BURST_VAL_0 => "0101",
----- Receive Interface Attributes -----
----- RX Driver, OOB signaling, Coupling and Eq, CDR -----
TERMINATION_CTRL => "10100",
TERMINATION_OVRD => FALSE,
-- RX0 EQ
AC_CAP_DIS_0 => FALSE,
RCV_TERM_GND_0 => FALSE,
RCV_TERM_MID_0 => TRUE,
RCV_TERM_VTRX_0 => FALSE,
TERMINATION_IMP_0 => 50,
OOBDETECT_THRESHOLD_0 => "100",
-- RX0 CDR
PMA_CDR_SCAN_0 => X"6c07640", - Control of the CDR sampling point
PMA_RX_CFG_0 => X"09f0089", - Controls loop filter of the CDR
----- RX Serial Line Rate Attributes -----
PLL_RXDIVSEL_OUT_0 => 1,
PLL_SATA_0 => FALSE,
----- PRBS Detection Attributes -----
PRBS_ERR_THRESHOLD_0 => x"00000001",
----- Comma Detection and Alignment Attributes -----
-- Align comma to (1: either or 2: the even) byte within a 2-byte datapath
ALIGN_COMMA_WORD_0 => 2,
-- Determines which bits of MCOMMA/PCOMMA must be matched to incoming data
-- and which bits can be any value.
COMMA_10B_ENABLE_0 => "11111111",
-- Specifies whether a comma match consists of either a comma plus or a comma minus alone,
-- or whether both are required in the sequence.
COMMA_DOUBLE_0 => FALSE,
-- Defines comma minus to raise RXCOMMADET and aligns the parallel data
MCOMMA_10B_VALUE_0 => "1010000011",
MCOMMA_DETECT_0 => TRUE, - Controls raising of RXCOMMADET on comma minus
-- Defines comma plus to raise RXCOMMADET and aligns the parallel data.
PCOMMA_10B_VALUE_0 => "0101111100",
PCOMMA_DETECT_0 => TRUE, - Controls raising of RXCOMMADET on comma plus
-- Selects between sliding in the PMA or in the PCS. Legal values are PCS (default) and PMA
RX_SLIDE_MODE_0 => "PCS",
-- Decoder 8/10
-- Enables detection of negative 8B/10B commas (RXCHARISCOMMA)
DEC_MCOMMA_DETECT_0 => TRUE,
-- Enables detection of positive 8B/10B commas (RXCHARISCOMMA)
DEC_PCOMMA_DETECT_0 => TRUE,
-- Limits the set of commas to which RXCHARISCOMMA responds (only K28.1, K28.5, K28.7)
DEC_VALID_COMMA_ONLY_0 => TRUE,
----- RX Loss-of-sync State Machine Attributes -----
RX_LOSS_OF_SYNC_FSM_0 => FALSE,
RX_LOS_INVALID_INCR_0 => 8,

```

```

RX_LOS_THRESHOLD_0 => 128,
----- RX Elastic Buffer and Phase alignment Attributes -----
RX_BUFFER_USE_0 => TRUE,
RX_XCLK_SEL_0 => "RXREC",
----- Clock Correction Attributes -----
CLK_CORRECT_USE_0 => TRUE,
CLK_COR_ADJ_LEN_0 => 4, - number of bytes repeated or skipped in a clock correction
-- length of the sequence that the transceiver matches
-- to detect opportunities for clock correction
CLK_COR_DET_LEN_0 => 4,
CLK_COR_INSERT_IDLE_FLAG_0 => FALSE,
CLK_COR_KEEP_IDLE_0 => FALSE,
CLK_COR_MAX_LAT_0 => 28, - Maximum RX elastic buffer latency (3-48) 18
CLK_COR_MIN_LAT_0 => 20, - Minimum RX elastic buffer latency (3-48) 16
CLK_COR_PRECEDENCE_0 => TRUE,
CLK_COR_REPEAT_WAIT_0 => 0,
CLK_COR_SEQ_1_1_0 => "01" & X"BC", --"0110111100", - BC
CLK_COR_SEQ_1_2_0 => "00" & X"4A", --"0001001010", - 4A
CLK_COR_SEQ_1_3_0 => "00" & X"4A", --"0001001010", - 4A
CLK_COR_SEQ_1_4_0 => "00" & X"7B", --"0001111011", - 7B
CLK_COR_SEQ_1_ENABLE_0 => "1111",
CLK_COR_SEQ_2_1_0 => "0000000000",
CLK_COR_SEQ_2_2_0 => "0000000000",
CLK_COR_SEQ_2_3_0 => "0000000000",
CLK_COR_SEQ_2_4_0 => "0000000000",
CLK_COR_SEQ_2_ENABLE_0 => "0000",
CLK_COR_SEQ_2_USE_0 => FALSE,
-- Sequences are matched the output to the 8B/10B decoder (else the input)
RX_DECODE_SEQ_MATCH_0 => TRUE,
----- Channel Bonding Attributes -----
CHAN_BOND_1_MAX_SKEW_0 => 1,
CHAN_BOND_2_MAX_SKEW_0 => 1,
CHAN_BOND_LEVEL_0 => 0, - 0 to 7. See UG for details
CHAN_BOND_MODE_0 => "OFF", - "MASTER", "SLAVE", or "OFF"
CHAN_BOND_SEQ_1_1_0 => "0000000000",
CHAN_BOND_SEQ_1_2_0 => "0000000000",
CHAN_BOND_SEQ_1_3_0 => "0000000000",
CHAN_BOND_SEQ_1_4_0 => "0000000000",
CHAN_BOND_SEQ_1_ENABLE_0 => "0000",
CHAN_BOND_SEQ_2_1_0 => "0000000000",
CHAN_BOND_SEQ_2_2_0 => "0000000000",
CHAN_BOND_SEQ_2_3_0 => "0000000000",
CHAN_BOND_SEQ_2_4_0 => "0000000000",
CHAN_BOND_SEQ_2_ENABLE_0 => "0000",
CHAN_BOND_SEQ_2_USE_0 => FALSE,
CHAN_BOND_SEQ_LEN_0 => 1,
PCI_EXPRESS_MODE_0 => FALSE,
----- RX Attributes for PCI Express/SATA -----
RX_STATUS_FMT_0 => "SATA",
SATA_BURST_VAL_0 => "100",
SATA_IDLE_VAL_0 => "100",
SATA_MAX_BURST_0 => 7,
SATA_MAX_INIT_0 => 22,
SATA_MAX_WAKE_0 => 7,
SATA_MIN_BURST_0 => 4,
SATA_MIN_INIT_0 => 12,
SATA_MIN_WAKE_0 => 4,
TRANS_TIME_FROM_P2_0 => x"003c",
TRANS_TIME_NON_P2_0 => x"0019",
TRANS_TIME_TO_P2_0 => x"0064"
};

```

## 2.5 Реализация (Implementation)

Для успешной реализации программному обеспечению следует передать информацию о допустимых задержках сигналов при переходе из одного тактового домена в другой. В случае с Xilinx это делается указанием следующих ограничений в ucf файле:

```

NET "sys_clk" TNM_NET = "sys_clk";
TIMESPEC "TS_sys_clk" = PERIOD "sys_clk" <CPU bus frequency> MHz;
NET "**<>*/gtp_tx_out_clk" TNM_NET = "gtp_tx_out_clk";
TIMESPEC "TS_gtp_tx_out_clk" = PERIOD "gtp_tx_out_clk" 300 MHz;
NET "**sys_clk" TNM=FFS "sys_clk_dmn";
NET "**<>*/lnk_clk" TNM=FFS "lnk_clk_dmn";
TIMESPEC "TS_s21" = FROM "sys_clk_dmn" TO "lnk_clk_dmn" TS_gtp_tx_out_clk*4 DATAPATHONLY;
TIMESPEC "TS_l2s" = FROM "lnk_clk_dmn" TO "sys_clk_dmn" TS_sys_clk*2 DATAPATHONLY;

```

Здесь синтезатору сообщаются частоты тактового сигнала системного домена и тактового сигнала синтезированного в PLL GTP. Даются имена тактовых доменов и затем указываются максимальные допустимые задержки распространения при передаче сигналов между соответствующими тактовыми доменами. Задержка распространения сигналов при переходе из одного тактового домена в другой не должна превышать двух периодов такого сигнала принимающего домена.

Если в процессе синтеза тактовые цепи переименовываются, то в VHDL файле содержащем SATA Controller следует указать:

```

attribute KEEP : string;
attribute KEEP of sys_clk: signal is "TRUE";
attribute KEEP of lnk_clk: signal is "TRUE";

```

## 2.6 Ресурсоёмкость и производительность

Затраты ресурсов и предельные рабочие частоты при синтезе с XST приведены в Таблица 3. Сигналы асинхронного сброса не используются. Помимо ресурсов приведённых в таблице затрачены 4 BRAM (по два блока на каждый буфер данных). Параметры синтеза (см. Таблица 1):

```
SYNT_A_RST = false;
```

Семейство	Кристалл	Частота, MHz	Slice Flip Flops	Slice LUTs	LUT Flip Flop pairs
Virtex-5™	XC5VSX50T-1FF1136	200	652	1195	1359
		165	652	1000	1094

Таблица 3 Ресурсоёмкость и производительность

## 3 Дополнительная информация

### 3.1 Рекомендуемый Опыт Разработок

Знание основ программирования на HDL, программного обеспечение Xilinx ISE, аппаратное обеспечение FPGA Xilinx.

### 3.2 Программируемая Логика Xilinx

За информацией о программируемой логике компании Xilinx или программных продуктах для проектирования обращайтесь в местный офис продаж Xilinx, или:

Xilinx, Inc.  
2100 Logic Drive  
San Jose, CA 95124

Тел: +1 408-559-7778  
Факс: +1 408-559-7114  
URL: [www.xilinx.com](http://www.xilinx.com)

### 3.3 Техническая Поддержка

По вопросам технической поддержки обращайтесь в Отдел Технической Поддержки ООО «Минерва»:  
[tsup@minerva-tech.com](mailto:tsup@minerva-tech.com)

### 3.4 Информация для Заказа

По вопросам цены, условиям приобретения и другой дополнительной информации пожалуйста обращайтесь в офис продаж компании Минерва.  
[sales@minerva-tech.com](mailto:sales@minerva-tech.com)